

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-126681

(43)Date of publication of application : 15.05.1990

(51)Int.Cl.

H01L 29/784

H01L 21/336

(21)Application number : 63-280761

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 07.11.1988

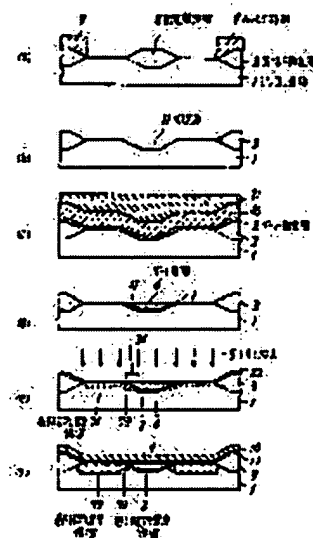
(72)Inventor : KASHIMA MASAHIRO

(54) MANUFACTURE OF MOS TYPE SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To obtain a LDD structure of good reproducibility by a simplified process by a method wherein a recess formed in the surface of a semiconductor substrate by removing an oxide film region simultaneously with a field oxide film is used as a channel region, the recess is filled with a material for gate electrode use, and a flat gate electrode is formed on the surface of the semiconductor substrate.

CONSTITUTION: A removed part of an oxide film 8 which is formed simultaneously in the middle in addition to two field oxide film regions 3 becomes a hollow used to fill a gate electrode 4; when an impurity region is formed in a self-alignment manner by making use of the field oxide film regions 3 and the gate electrode 4 as a mask, a low impurity-concentration source-drain region 71 having a concentration grade is generated under slopes on both ends of the gate electrode 4; this region forms an LDD structure together with a high impurity-concentration source-drain region 72 generated under parts not covered with the gate electrode 4. Accordingly, it is not required to form a side wall; its reproducibility is good.



THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平2-126681

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月15日

H 01 L 29/784
21/3368422-5F
8422-5F

H 01 L 29/78

3 0 1 V
L

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 MOS型半導体素子の製造方法

⑮ 特 願 昭63-280761

⑯ 出 願 昭63(1988)11月7日

⑰ 発 明 者 鹿 島 雅 人 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 MOS型半導体素子の製造方法

2. 特許請求の範囲

1) 半導体基板の表面層を選択的に酸化して二つのフィールド酸化膜領域の中間に両端が傾斜面により隔てられている酸化膜領域を設け、その中間領域のみ酸化膜を除去してくぼみを形成し、そのくぼみを表面平坦に埋めるゲート電極を設け、残されたフィールド酸化膜とゲート電極とをマスクとしてイオン注入し、ゲート電極の両端の傾斜面の下に低不純物濃度の、ゲート電極とフィールド酸化膜領域の間に高不純物濃度のソース・ドレイン領域をそれぞれ設けることを特徴とするMOS型半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ソース・ドレイン領域が低不純物濃度領域と高不純物濃度領域からなるLDD構造と呼ばれる構造をもつMOS型半導体素子の製造方法に関する。

(従来の技術)

近年、半導体装置の高速、高集積化をめざして、トランジスタの寸法はますます微細化されてきている。特にMOS型半導体素子においては、ゲートチャネル長が1μm前後となり、しきい値電圧の急激な低下等いわゆる短チャネル効果による問題が顕著になってきている。また、ドレイン部でのインパクトイオン化による素子特性の劣化も問題であり、これらをさけるため、ドレイン接合の濃度を二段階とし、電界集中を緩和するLDD (Lightly doped Drain) 構造が考案されている。このLDD構造の作り方は、従来、第2図(a)~(d)に示すように、CVDによって形成されたサイドウォールを用いるものであった。すなわち、第2図(a)に示すように、シリコン基板1上のゲート酸化膜2とフィールド酸化膜3を形成後、ゲート酸化膜2の上にゲート電極4を形成し、低濃度ドレイン領域を作るための低ドーピングイオン注入51をゲート電極4およびフィールド酸化膜3をマスクにしたセルフアライメントで行う。次に、図(b)に示すよ

うにイオン注入された領域を低不純物濃度領域、とし、減圧CVDにより酸化膜60を全面に堆積させる。次いで、図4に示すように反応性イオンエッチング(RIE)法を用いて、酸化膜を全面エッチングする。RIE法は異方性エッチングであるため、ゲート電極4側壁の酸化膜のエッチングレートは低いので、表面に平行な面上の酸化膜がエッチングされても、側壁部分は残り、いわゆるサイドウォール6が形成される。このサイドウォール6が形成された状態で高不純物濃度領域を作る高ドーゾイオン注入52を行うと、図4に示すようにゲート電極からわずかに離れた部分から高濃度ソース・ドレイン領域72が形成できる。その後、層間絶縁膜としてPSG膜10を堆積させる。このような工程を通して、ゲート電極とセルフアライメントでチャネル形成領域に接する低濃度ソース・ドレイン領域71と電極との接触に必要な高濃度ソース・ドレイン領域72とが形成できる。

(発明が解決しようとする課題)

しかし、第2図について説明した方法は低濃度

ソース・ドレイン領域をつくるサイドウォール6の形成が、RIE法による微妙なエッチングを用いなければならないので再現性に乏しく、また工程が長く複雑なため製造原価が上昇するという問題があった。

本発明の課題は、上記の問題を解決し、少ない工程で再現性のあるLDD構造を形成できるMOS型半導体素子の製造方法を提供することにある。(課題を解決するための手段)

上記の課題の解決のために、本発明の方法は、半導体基板の表面層を選択的に酸化して二つのフィールド酸化膜領域の中間に両端が傾斜面により薄くなる酸化膜領域を設け、その中間領域のみ酸化膜を除去してくぼみを形成し、そのくぼみを裏面平坦に埋めるゲート電極を設け、残されたフィールド酸化膜とゲート電極とをマスクとしてイオン注入し、ゲート電極の両端の傾斜面の下に低不純物濃度の、ゲート電極とフィールド酸化膜領域の間に高不純物濃度のソース・ドレイン領域をそれぞれ設けるものとする。

(作用)

二つのフィールド酸化膜領域のほかにその中間に同時に形成される酸化膜の除去部分がゲート電極を埋めるためのくぼみとなり、フィールド酸化膜領域とゲート電極とをマスクとしてセルフアライメントで不純物領域を形成すれば、ゲート電極の両端の傾斜面の下には濃度勾配をもつ低不純物濃度ソース・ドレイン領域が生じ、ゲート電極に覆われない部分の下に生ずる高不純物濃度ソース・ドレイン領域と共にLDD構造を形成する。従ってサイドウォールの形成の必要はなく、再現性は良好である。

(実施例)

以下、図を引用して本発明の一実施例を述べる。第3図はLOCOS酸化法による厚い酸化膜形成の方法を示し、シリコン基板1の上にまず400Å程度の厚さの薄いパフファ酸化膜31を形成し、その上に約1000Åの厚さの Si_3N_4 膜32を成長させる。次いでフォトリソグラフィにより厚い酸化膜を形成する部分の Si_3N_4 膜をドライエッチングなどで

除去する。パフファ酸化膜31はこの際シリコンがエッチングされるのを防止する働きをする。このあと Si_3N_4 膜32をマスクとして900℃、10時間程度のスチーム酸化を行い8400Å程度の厚さの酸化膜30を形成する。この際 Si_3N_4 膜32の上に薄い酸化膜33が生ずる。また、 Si_3N_4 膜の縁部の下にも酸化膜が生じいわゆるバードピーク部34が生ずる。この時のバードピーク部34の幅は450Åとなり、 $Si-SiO_2$ 界面35から酸化膜30の底部36までの距離は3400Å程度となる。

第1図(a)~(f)は本発明の一実施例のソース・ドレイン領域作成工程を示す。先ず、上に述べたLOCOS酸化法でフィールド酸化膜3およびその中間の酸化膜領域8を同時に形成し、素子を形成する領域以外をフォトレジスト膜9で覆う(図a)。そしてHFによるウェットエッチングを行うことにより素子を形成する領域のシリコン面を露出させる(図b)。この際シリコン基板表面にくぼみ11が生ずる。次に、通常の工程によりゲート酸化膜2およびゲート電極用多結晶シリコン膜40を積層

したのち、エッチバック法による平坦化を行うためフォトリジスト膜91を塗布する(図c)。ここで多結晶シリコン膜40とフォトリジスト膜91のエッチング速度が等しくなる条件のもとで反応性イオンエッチング法(RIE)によるエッチングを行い、エッチバック法でくぼみ11を埋め、表面がシリコン基板面に対して平坦化された表面をもつゲート電極4を形成する(図d)。これにより、ゲートのパターンニング工程を必要とすることなく、酸化膜領域8を除去したくぼみに正確にゲート電極4を形成することができる。次いで、熱酸化の工程により表面に熱酸化膜22を成長させた後、ゲート電極4およびフィールド酸化膜3をマスクとしてセルフアライメントでソース・ドレイン領域のためのイオン注入5を行う。このとき、バードピーク部34の傾斜面によるゲート電極4端部の膜厚差により、高不純物濃度ソース・ドレイン領域72のための不純物74と低不純物濃度ソース・ドレイン領域71のための不純物73を同時に導入できる(図e)。この後、短い熱処理を900℃、30分程度

面のくぼみをチャンネル領域として使用し、そのくぼみをゲート電極用材料で埋めて半導体基板表面に対して平坦なゲート電極を形成した後、ゲート電極とフィールド酸化膜をマスクとしてセルフアライメントで低不純物濃度と高不純物濃度のソース・ドレイン領域を同時に形成することにより、再現性が良好で簡略化された工程でLDD構造が形成でき、ドレイン電界緩和が行えるので、より微細化された高集積半導体装置においても、MOS型素子のインパクトイオン化等の短チャンネル効果を抑制できる。また、チャンネル領域となるフィールド酸化膜のバードピーク長を制御することにより、チャンネル形成領域に隣接する低不純物濃度領域の濃度を適正化できることと、その低不純物濃度領域のチャンネル側端がゲート酸化膜と浅い角度をもって交わることにより、ドレイン領域チャンネル側端部の曲率半径の影響による耐圧の劣化が緩和されることから、ごく浅い接合を用いたMOS素子の耐圧の向上に有効である。またゲート電極部分を半導体基板表面に対して平坦化している

の条件で行う。拡散後の高不純物濃度領域72と、その内側の低不純物濃度領域71が生じ、つづいての減圧CVD工程により10000 Å程度の厚さにPSG膜10を堆積させる(図f)。

このような工程を用いることにより、ゲート電極4およびフィールド酸化膜3をマスクとしてセルフアライメントで低不純物濃度ソース・ドレイン領域71と高不純物濃度ソース・ドレイン領域72とを同時に形成することができる。また、第1図(f)に示すように低濃度領域71のチャンネル側端部がゲート酸化膜2と浅い角度をもって交わるため、ドレイン部端の曲率半径の影響による耐圧の劣化が緩和され基板・ドレイン間の耐圧を向上させることができる。さらに、エッチバック法により、ゲート電極4上部は平坦化されているため、この部分におけるM配線の断線をなくすることができる。

(発明の効果)

本発明によれば、フィールド酸化膜と同時に形成される酸化膜領域を除去して生ずる半導体基板

ため、ゲート電極上に設けられる配線の段差における断線をなくすることができる。

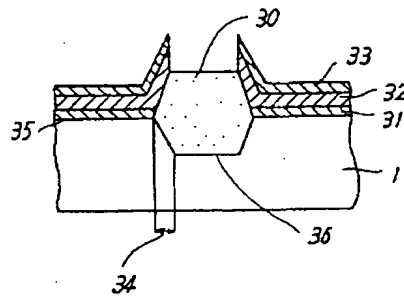
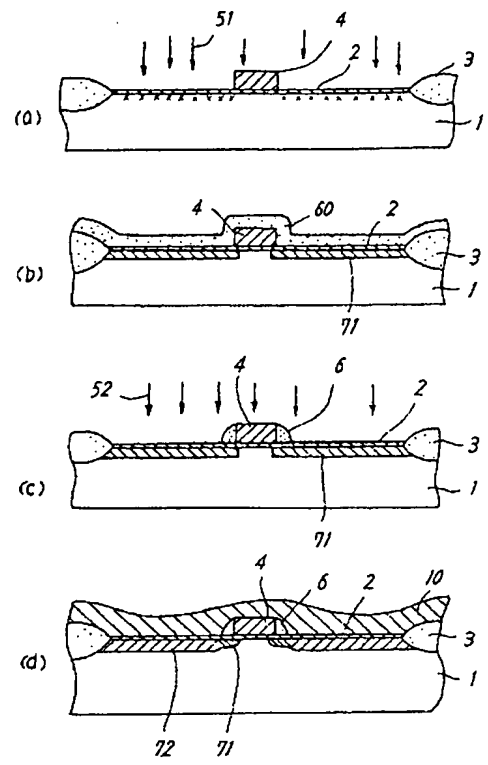
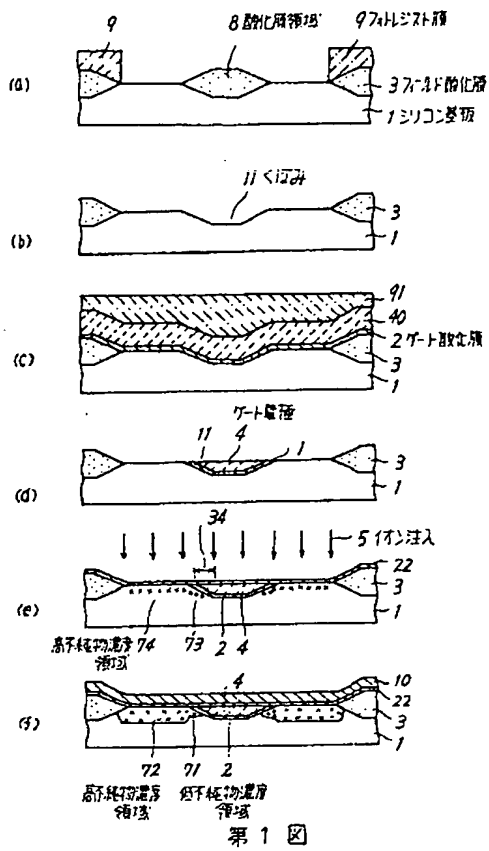
4. 図面の簡単な説明

第1図(a)~(f)は本発明の一実施例のソース・ドレイン領域形成のための工程を順次示す断面図、第2図(a)~(d)は従来のLDD構造のソース・ドレイン領域形成のための工程を順次示す断面図、第3図は本発明の実施に適用できるLOCOS酸化法を示す断面図である。

1:シリコン基板、2:ゲート酸化膜、3:フィールド酸化膜、4:ゲート電極、5:イオン注入、71:低不純物濃度ソース・ドレイン領域、72:高不純物濃度ソース・ドレイン領域、8:酸化膜領域、9,91:フォトリジスト膜、11:くぼみ。

代理人弁護士 山口 巖





第3図